



Stage n°02 du LCE

Sujet : Portage et validation d'un processeur vidéo HD sur carte FPGA pour la téléphonie mobile

Dans le cadre de ses activités de recherche en architectures de calcul pour la vision, le LCE (Laboratoire Calculs Embarqués) du CEA LIST s'intéresse à la définition d'architectures programmables optimisées pour le domaine de l'embarqué, et en particulier pour les prochaines générations de capteurs vidéo CMOS des téléphones portables.

Les techniques d'amélioration d'images issues du capteur vidéo CMOS font l'objet de nombreuses recherches et ces dernières conduisent à l'élaboration d'architectures de calcul plus ou moins dédiées. En effet, les consommations électriques consenties sont de l'ordre de quelques centaines de mW pour une puissance de calcul de plusieurs GOPs. Il n'est donc pas possible, après réalisation du circuit, d'apporter d'importantes modifications aux traitements réalisés par modification du logiciel. C'est un problème délicat car les clients intégrateurs veulent souvent utiliser leurs propres fonctions. C'est pourquoi il est crucial de rendre flexible et programmable l'ensemble de la structure de calcul en aval du capteur, afin que le choix des algorithmes ne soit pas figés lors de la réalisation du composant lui-même.

Le CEA LIST a développé un modèle complet d'une architecture eISP (embedded Image Signal Processor) qui se veut entièrement programmable. Elle est destinée à exécuter des traitements en HDTV 1080p – 1920x1080 pixels à 25 trames par seconde – ce qui permet d'anticiper les capacités à venir des capteurs vidéo des futurs téléphones portables. Cette architecture, complètement modélisée en VHDL et synthétisable en technologie 65 nm doit être portée et validée fonctionnellement sur une carte FPGA dans le cadre du stage.

Le stagiaire devra donc intégrer les concepts architecturaux manipulés, porter les modèles sur carte FPGA et valider l'architecture avec une ou plusieurs suites algorithmiques. Il aura enfin la charge de mettre en place le démonstrateur « stand alone » en utilisant une caméra connectée à la carte de validation et en affichant les images corrigées sur un écran de visualisation.

Niveau demandé : *Ingénieur/ Master 2*

Durée : 6 mois

Compétences : VHDL, architectures de calcul, FPGA

Contact :

Nom : Mathieu Thevenin
Téléphone : 01.69.08.66.37
Email : mathieu.thevenin@cea.fr