



Direction de la Recherche Technologique
Département des Technologies des Systèmes Intelligents
Service Architectures et Conception



Stage n°03 du LCE

Sujet : Prototypage FPGA d'un processeur reconfigurable dédié aux applications multimédia

Dans le cadre de ses activités de recherche en architectures reconfigurables, le LCE (Laboratoire Calculs Embarqués) propose des solutions matérielles optimisées pour des domaines applicatifs spécifiques. Les projets récents abordent ainsi des domaines comme l'automobile, les télécommunications, et de manière plus générale les algorithmes de vision. Le LCE s'attache à valider les propositions architecturales par des démonstrateurs (simulation post P&R, émulation) ou des prototypes matériels (FPGA ou ASIC). L'objectif de ce stage est de participer aux développements d'un prototype FPGA d'une architecture reconfigurable développée au laboratoire.

Actuellement, dans le cadre d'un projet de recherche ANR mené en collaboration avec plusieurs partenaires, industriels et universitaires, le LCE définit un processeur reconfigurable dédié aux applications multimédias. L'architecture du processeur est constituée d'un ensemble d'opérateurs reconfigurables gros grains, d'un ensemble de mémoires de données, et de réseaux d'interconnexion dédiés aux configurations et aux échanges de données. Les applications visées par ce processeur sont plus spécifiquement des applications de traitement d'image.

Le candidat participera en collaboration avec l'équipe au développement du prototype FPGA. Il aura à charge de porter et de valider certains éléments spécifiques du processeur reconfigurable, tels que par exemple les éléments d'interconnexion, les éléments de gestion mémoire ou encore l'élément de contrôle de l'architecture. En fonction de l'avancement du stage et des attentes du candidat, celui-ci pourra également participer à la mise en œuvre globale de la plateforme de démonstration. Il pourra, par exemple, améliorer les interfaces entre la carte et le PC (basés sur un protocole Ethernet), proposer une interface VGA d'affichage des résultats des traitements réalisés par le processeur reconfigurable, et enfin porter une application sur le processeur reconfigurable.

Niveau demandé : Ingénieur (*5^{ème} année*) ou Master pro

Durée : 5/6 mois

Compétences : VHDL, FPGA , C embarqué, architectures de calcul.

Documents à fournir : CV, lettre de motivation

Contact :

Nom : Stéphane Chevobbe
Téléphone : 01.69.08.27.46
Email : stephane.chevobbe@cea.fr

Centre Saclay
91191 Gif sur Yvette Cedex
Tél. 01 69 08 65 25 - FAX 01 69 08 83 95 – thierry.collette@cea.fr