



Direction de la Recherche Technologique
Département des Technologies des Systèmes Intelligents
Service Architectures et Conception



Stage n°4 du LCE

Sujet : Optimisation matérielle d'un processeur embarqué

Le Commissariat à l'Energie Atomique (CEA) est un acteur européen majeur en matière de recherche, de développement et d'innovation. Cet organisme de recherche technologique intervient dans quatre grands domaines : l'énergie, les technologies pour l'information, la santé et la défense. Situé en île de France sud près du campus d'Orsay, le Laboratoire d'Intégration des Systèmes et des Technologies (LIST) a notamment pour mission de contribuer au transfert de technologies et de favoriser l'innovation dans le domaine des systèmes embarqués. Plus particulièrement, le LCE (Laboratoire Calculs Embarqués) du CEA LIST travaille depuis de nombreuses années à la définition d'architectures matérielles flexibles optimisées pour les applications embarquées, comme les algorithmes de vision pour l'automobile, les applications multimédia ou encore les applications télécoms.

Dans le cadre de ses différents projets de recherche, le LCE a été amené à définir un processeur de contrôle propriétaire capable de répondre à l'ensemble des besoins du laboratoire. Ce processeur est optimisé du point de vue de la densité de code et de l'efficacité transistor et énergétique. Une première version de ce processeur est actuellement en cours de finalisation. Les différentes études effectuées pour la conception de ce processeur nous ont amené à évaluer un ensemble de pistes d'optimisations, liées à la gestion de branchement, au contrôleur d'interruptions ou aux interfaces coprocesseurs. Pour des raisons de rapidité de développement, certaines de ces optimisations n'ont pu être intégrées dans la première version du processeur.

L'objectif de ce stage est de proposer des évolutions de ce processeur en vue d'améliorer les compromis inhérents aux architectures embarquées, à savoir performance, coût silicium et consommation. Ces évolutions seront intégrées au processeur existant et leur impact sur les performances et l'efficacité du processeur seront quantifiées. Pour cela, le processeur devra être conçu sur une technologie ASIC très avancée (65nm), émulé sur FPGA, et les applications de tests utilisées devront être portées sur le processeur.

Niveau demandé : Master recherche ou pro

Durée : 5/6 mois

Compétences : architecture de processeur , VHDL, C embarqué, assembleur

Documents à fournir : CV, lettre de motivation

Contact :

Nom : Yves Lhuillier / Stephane Chevobbe / Raphaël David

Téléphone : 01.69.08 + 53.23/27.46/90.17

Email : prenom.nom@cea.fr

Centre Saclay

91191 Gif sur Yvette Cedex

Tél. 01 69 08 65 25 - FAX 01 69 08 83 95 – thierry.collette@cea.fr