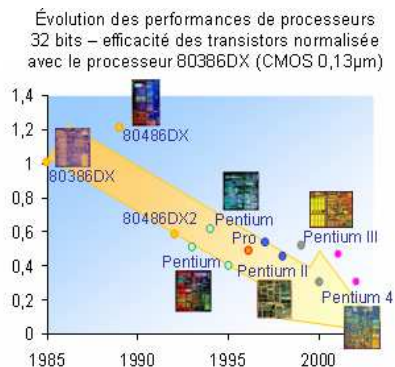


Stage n°5 du LCE

Sujet : *Développement d'un processeur de calcul faible consommation*

La course à la performance des processeurs programmable à conduit les concepteurs de circuits numériques à exploiter de plus en plus de parallélisme d'opérations/instructions. Ceci s'est traduit notamment par l'accroissement des profondeurs de pipeline et par l'augmentation du nombre de ressources de calcul. Pour extraire le parallélisme d'instructions de nombreux mécanismes logiciels et/ou matériels, e.g. hiérarchie de mémoires caches, re-nommage de registre, prédiction de branchement, ... ont été mis en place au sein même des chemins de données des processeurs. En limitant les vrai dépendances de contrôle ou de ressources et en améliorant l'approvisionnement en données des ressources de calcul, la mise en œuvre de ces techniques à permis une augmentation constante des performances des processeurs programmable.



Cette augmentation des performances n'a pour autant pas été aussi rapide qu'espérée. En effet, si la loi de Moore s'est vérifiée sur toute la famille de processeurs 32 bits d'Intel, en doublant le nombre de transistor par puces tous les 18 mois, les performances de ces mêmes processeurs n'ont pas connu la même progression et l'on constate à l'inverse une baisse constante de l'efficacité transistor comme l'illustre la figure ci-contre. On estime aujourd'hui que sur les 50 millions de transistors des processeurs les plus performants, seuls 5% sont utiles au traitement, les 95 % servant à la mise en œuvre des mécanismes matériels évoqués précédemment.

Sur la base de ce constat, et des projections faites sur les capacités des technologies CMOS à venir, le Laboratoire des Calculs Embarqués (LCE) étudie l'opportunité de proposer des architectures hautes performances exploitant un parallélisme de plus haut niveau et dit de tâches. Les solutions proposées au laboratoire se basent sur l'intégration de plusieurs processeurs élémentaires, disposant d'excellentes propriétés d'efficacité énergétique et surfacique, contrôlés par des mécanismes ad-hoc et communiquant via un réseau de communication correctement dimensionné.

Le stage proposé consiste à définir un cœur de calcul apte à être intégré dans une architecture de type MPSoC. Le cœur proposée devra bénéficier d'une excellente efficacité transistor et à ce titre il conviendra de discuter de l'opportunité d'intégrer les différentes techniques d'optimisation des processeurs sur l'angle de l'efficacité transistor et non de la performance seule. L'intégration sur un même substrat silicium de nombreux cœurs de calcul n'étant par ailleurs viable que si la consommation globale du circuit est maîtrisée, il conviendra de proposer des mécanismes architecturaux innovants de sauvegarde de l'énergie. Le processeur développé devra finalement rester compatible avec les chaînes de développement traditionnelles des processeurs.

Niveau demandé : *MasterII*

Durée : 6 mois

Compétences : *VHDL, SystemC, architecture des processeurs, conception numérique, faible consommation*

Pièces à fournir : CV + lettre de motivation + classements

Contact :

Nom : Raphaël David / Yves Lhuillier
 Téléphone : 01.69.08.90.17 / 01.69.08.53.23
 Email : prenom.nom@cea.fr