



Direction de la Recherche Technologique
Département des Technologies des Systèmes Intelligents
Service Architectures et Conception



Stage n°11 du LCE

Sujet : Etude et Modélisation électrique des nano composants, Evaluation des nouvelles architectures pour les appliquer dans les circuits intégrés.

Le Commissariat à l'Energie Atomique (CEA) est un acteur majeur en matière de recherche, de développement, et d'innovation. Cet organisme européen de recherche technologique intervient dans trois grands domaines : l'énergie, les technologies pour l'information et la santé, et la défense. Reconnu comme un expert dans ses domaines de compétences, le CEA est pleinement inséré dans l'espace européen de la recherche et exerce une présence croissante au niveau international. Situé en île de France sud (Saclay), le Laboratoire d'Intégration des Systèmes et des Technologies (LIST) a notamment pour mission de contribuer au transfert de technologies et de favoriser l'innovation dans le domaine des systèmes embarqués.

Selon toutes les prévisions, l'augmentation exponentielle de la densité d'intégration dans les circuits intégrés CMOS ne se poursuivra pas après 2015-2020 en raison de l'effet quantique. La recherche des nouveaux dispositifs qui pourront remplacer CMOS complètement ou éliminer ses désavantages intrinsèques (e.g. courant de fuite) est un point très important dans l'académie et l'industriel aujourd'hui. Notre groupe est spécialisé dans l'intégration de nano dispositifs émergents au sein d'architectures de circuits intégrés et de Système On Chip (SOC), en coopération très proche avec le Laboratoire d'Electronique Moléculaire (LEM), autre unité du CEA également situé à Saclay. Ceci nous permet d'avoir accès aux paramètres très précis des nano composants et fabriquer les dispositifs que nous souhaitons tester.

L'objectif de ce stage est de contribuer à l'étude et à la modélisation électrique des nano-composants notamment les transistors basés sur le Nanotube de Carbone (CNTFET) qui permettront de continuer l'accroissement de la densité d'intégration après 2015-2020. La première étape doit être l'élaboration d'un modèle électrique compatible avec les outils de conception et simulation des circuits CMOS standards (Cadence). Ceci fait, on peut alors passer à la seconde étape, consistant à la réalisation de l'interface entre le composant nano et les circuits numériques, afin de proposer des architectures permettant de tirer parti de cette nouvelle technologie. Ce stage s'inscrit dans un programme de recherche national (ANR PANINI) mené en parallèle avec plusieurs programmes de recherche Européens (FP6 ATHER, FP7 NABAB) nous permettant de travailler depuis l'étude des propriétés fondamentales des nano dispositifs jusqu'à la réalisation de circuits complets les mettant en œuvre. Il constitue par ailleurs une étude originale au niveau international et pourra faire l'objet d'une publication.

Niveau demandé : *Master Recherche ou Ecole d'ingénieur (Bac+5)*

Durée : 5/6 mois

Compétences : Verilog-A, Conception et Simulation des circuits numériques et analogiques, Program C, de solides connaissances en micro-électronique et en physique, notions en nanotechnologies.

Contact :

Nom: Christian Gamrat Téléphone : 01.69.08.90.74 Email: christian.gamrat@cea.fr

Centre Saclay
91191 Gif sur Yvette Cedex
Tél. 01 69 08 65 25 - FAX 01 69 08 83 95 – thierry.collette@cea.fr